

## ⑫ 公開特許公報 (A) 昭61-5295

⑬ Int. Cl.<sup>4</sup>  
G 09 G 3/36  
H 04 N 5/66識別記号  
102府内整理番号  
7436-5C  
7245-5C

⑭ 公開 昭和61年(1986)1月11日

審査請求 未請求 発明の数 1 (全8頁)

## ⑮ 発明の名称 階調信号発生回路

⑯ 特願 昭59-126164

⑯ 出願 昭59(1984)6月19日

⑰ 発明者 白井 実 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機  
株式会社羽村技術センター内⑰ 発明者 小林 三朗 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機  
株式会社羽村技術センター内

⑰ 出願人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑰ 代理人 弁理士 鈴江 武彦 外2名

## 明細書

## 1. 発明の名称

階調信号発生回路

## 2. 特許請求の範囲

カラー液晶パネルに対し、各原色毎に設けられた信号電極を駆動する信号電極駆動回路において、表示用データに応じて階調信号を作成する階調信号作成手段と、この手段により作成される各階調信号に対して調整用区間を設定する手段と、この調整用区間におけるON時間とOFF時間を指定する初期設定データ入力手段と、この手段により入力される初期設定データに基づき上記調整用区間におけるON時間及びOFF時間を設定する手段とを具備したことを特徴とする階調信号発生回路。

## 3. 発明の詳細な説明

## [発明の技術分野]

本発明は液晶テレビ受像機における階調信号発生回路に関する。

## [従来技術とその問題点]

近年、携帯用小型テレビ受像機として、表示部に液晶表示パネルを使用した液晶テレビ受像機が実用化されている。また、最近では、カラー液晶パネルを使用した液晶カラーテレビが考えられている。カラー液晶表示には種々の方法があるが、第3図に示すように、信号電極にR(赤)、G(緑)、B(青)の原色フィルタ1を配列してカラー液晶パネル2を構成し、上記3原色の組合せによりカラー表示を行なうようにしたもののが一般的である。また、上記第3図において、3は走査電極駆動回路で、n本の走査信号線がカラー液晶パネル2に接続される。さらに、4はR信号電極駆動回路、5はG信号電極駆動回路、6はB信号電極駆動回路で、各々n本の信号線がカラー液晶パネル2に接続される。また、7は液晶電圧発生回路で、 $V_1 \sim V_8$ 、つまり、 $V_6 - GND$ 、 $V_1 = (1/a)V_8$ 、 $V_2 = (2/a)V_8$ 、 $V_3 = (1-2/a)V_8$ 、 $V_4 = (1-1/a)V_8$ 、 $V_5$ を発生し、上記各駆動回路3、4、5、6に動作電圧として供給する。なお、上記8は、

バイアス比である。

上記第3図における各信号電極駆動回路4、5、6は、第4図に示すように構成される。すなわち、各信号電極駆動回路4、5、6は、m段の駆動回路10<sub>1</sub>～10<sub>m</sub>からなっている。そして、映像処理回路(図示せず)から送られてくる4ビットのデジタルデータD<sub>1</sub>～D<sub>4</sub>は、まず、初段の駆動回路10<sub>1</sub>内のレジスタ11に入力される。このレジスタ11は、サンプリングクロックφ<sub>a</sub>に同期して上記データD<sub>1</sub>～D<sub>4</sub>を読み込み、ラッチ回路12に入力すると共に次段の駆動回路10<sub>2</sub>に送出する。上記ラッチ回路12は、レジスタ11に書込まれたデータをラッチパルスφ<sub>2</sub>に同期してラッチし、インバータ13<sub>1</sub>～13<sub>4</sub>を介してオア回路14<sub>1</sub>～14<sub>4</sub>に入力する。また、このオア回路14<sub>1</sub>～14<sub>4</sub>には、外部に設けられている4ビットカウンタ15の出力Q<sub>1</sub>～Q<sub>4</sub>が入力される。上記カウンタ15は、ラッチパルスφ<sub>2</sub>によってリセットされ、クロックパルスφ<sub>c</sub>によってカウントアップ動作する。そして、上記オア回路14<sub>1</sub>～14<sub>4</sub>の出力は、アンド

回路16を介してフリップフロップ17のリセット端子Rに入力される。このフリップフロップ17は、ラッチパルスφ<sub>2</sub>によってセットされるもので、その出力はマルチブレクサ18へ送られる。このマルチブレクサ18には、フレーム切換信号φ<sub>f</sub>が与えられると共に上記液晶電圧発生回路7からV<sub>1</sub>～V<sub>5</sub>の液晶駆動電圧が与えられる。そして、上記マルチブレクサ18は、フリップフロップ17の出力信号に応じて信号電極駆動信号、つまり、階調信号Y<sub>1</sub>を出力する。また、2段目以降の駆動回路10<sub>2</sub>～10<sub>m</sub>も上記駆動回路10<sub>1</sub>と同様に構成され、階調信号Y<sub>2</sub>～Y<sub>m</sub>を出力する。

上記の構成において、映像処理回路から送られてくるデジタルデータD<sub>1</sub>～D<sub>4</sub>は、まず、初段の駆動回路10<sub>1</sub>に入力され、サンプリングクロックφ<sub>a</sub>に同期してレジスタ11に読み込まれる。このレジスタ11に読み込まれたデータD<sub>1</sub>～D<sub>4</sub>は、その後、サンプリングクロックφ<sub>a</sub>に同期して駆動回路10<sub>2</sub>～10<sub>m</sub>のレジスタ11に順次シフトされる。そして、上記データD<sub>1</sub>～D<sub>4</sub>が駆動回路10<sub>m</sub>の

レジスタ11までシフトされると、その後、ラッチパルスφ<sub>2</sub>が与えられる。このラッチパルスφ<sub>2</sub>は、第5図に示すようにサンプリングクロックφ<sub>a</sub>がm発出力される毎に1発出力され、各駆動回路10<sub>1</sub>～10<sub>m</sub>においてレジスタ11に保持されているデータがラッチ回路12にラッチされる。また、同時に上記ラッチパルスφ<sub>2</sub>によりカウンタ15がリセットされると共に、第5図に示すようにフリップフロップ17がセットされる。このフリップフロップ17がセットされることにより、マルチブレクサ18の出力Y<sub>1</sub>がV<sub>3</sub>の基準レベルからV<sub>1</sub>のレベルに立上がる。この場合、次のフレームにおいては、フリップフロップ17のセット時、マルチブレクサ18の出力Y<sub>1</sub>はV<sub>2</sub>の基準レベルからV<sub>0</sub>のレベルに立下がる。しかして、上記カウンタ15は、ラッチパルスφ<sub>2</sub>によりリセットされた後、クロックパルスφ<sub>c</sub>によりカウント動作を開始する。上記クロックパルスφ<sub>c</sub>は、第5図に示すように各ラッチパルスφ<sub>2</sub>間に14発発生する。そして、上記カウンタ15のカウント出力Q<sub>1</sub>～Q<sub>4</sub>

は、ラッチ回路12よりインバータ13<sub>1</sub>～13<sub>4</sub>介して出力される信号と共に、オア回路14<sub>1</sub>～14<sub>4</sub>へ入力され、その出力がアンド回路16へ入力される。従って、カウンタ15のカウント動作に伴ってオア回路14<sub>1</sub>～14<sub>4</sub>の出力がオール“1”となった時にアンド回路16の出力が“1”となり、フリップフロップ17がリセットされる。上記オア回路14<sub>1</sub>～14<sub>4</sub>の出力がオール“1”となるカウンタ15のカウント値は、ラッチ回路12のラッチデータによって決定されるもので、それによりフリップフロップ17がセットされてからリセットされるまでの時間が制御される。上記フリップフロップ17がリセットされると、マルチブレクサ18の出力が基準レベルに戻る。そして、その後ラッチパルスφ<sub>2</sub>が与えられることによって上記した動作が繰返される。上記のようにしてラッチ回路12の保持データに応じてマルチブレクサ18から信号Y<sub>1</sub>が出力され、カラー液晶パネル2における各信号電極が表示駆動される。

第6図は表示駆動信号の波形例を示したもので、

(a) は走査電極駆動回路3から出力される走査電極駆動信号X<sub>1</sub>、(b) は信号電極駆動回路10のマルチブレクサ18から出力される階調信号Y<sub>1</sub>、(c) は上記走査電極駆動信号X<sub>1</sub>と階調信号Y<sub>1</sub>の合成波形である。

上記のように従来の信号電極駆動回路10では、入力データによって決まった出力波形が得られるので、R、G、Bのフィルタ膜厚が設計値と異なった場合には色相が異なってしまう。すなわち、上記フィルタはR、G、Bの色別に3回に分けて形成するため、均一に形成することは極めて難しく、フィルタ膜厚にバラツキを生ずる。フィルタ膜厚に差があると、電極に同一電圧を印加しても液晶に加わる実効値に差がでて表示品質が劣化してしまう。

#### [発明の目的]

本発明は上記の点に鑑みてなされたもので、R、G、Bのフィルタ膜厚が設定値と異なって形成された場合でも、所望の色を正しく表示でき、表示品質を良好に保持することができる階調信号発生

回路を提供することを目的とする。

#### [発明の要点]

本発明は、カラー液晶パネルの駆動回路において、各色の駆動回路から出力される階調波形に対して調整用区間を設け、この調整用区間における時間幅の調整により液晶表示パネルに印加される実効電圧を任意に調整できるようにしたものである。

#### [発明の実施例]

以下図面を参照して本発明の一実施例を説明する。第1図において、20は信号電極駆動回路で、M段の駆動回路20<sub>1</sub>～20<sub>M</sub>からなっている。これらの駆動回路20<sub>1</sub>～20<sub>M</sub>は、第4図の駆動回路10<sub>1</sub>～10<sub>M</sub>においてフリップフロップ17のセット信号のタイミングが異なるのみで、その他は第4図の駆動回路10<sub>1</sub>～10<sub>M</sub>と同様の構成であるので第4図と同一符号を付して詳細な説明は省略する。しかし、上記フリップフロップ17は、信号電極駆動回路20の外部に設けられるフリップフロップ22からセット信号が与えられる。このフリップフ

ロップ22は、4ビットのカウンタ23のQ<sub>4</sub>出力によってリセットされる。このカウンタ23は、ラッチパルスφ<sub>2</sub>によってリセットされると共に、オア回路24を介して与えられる自己のQ<sub>4</sub>出力及び第2図に示すクロックパルスφ<sub>c2</sub>によりカウントアップ動作する。また、上記カウンタ23のQ<sub>4</sub>出力は、上記したようにフリップフロップ22のリセット端子Rに入力されると共にインバータ25を介してカウンタ15のリセット端子Rに入力される。このカウンタ15は、第2図に示すクロックパルスφ<sub>c1</sub>によってカウントアップ動作する。また、上記カウンタ23の出力Q<sub>1</sub>～Q<sub>3</sub>はオア回路26a～26cへ入力される。そして、上記オア回路26a～26cには、初期設定データA<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>がインバータ27a～27cを介して入力される。上記初期設定データA<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>は、フィルタ膜厚の形成誤差に伴う色相の変化を補正するための補正データである。そして、上記オア回路26a～26cの出力は、アンド回路28を介してフリップフロップ22のリセット端子Rに入力される。

次に上記実施例の動作について説明する。本発明は第2図に示すように、各ラッチパルスφ<sub>2</sub>を17等分し、最初の2区間を除く他の15区間ににおいてそれぞれクロックパルスφ<sub>c1</sub>を発生させている。上記各ラッチパルスφ<sub>2</sub>における最初の2区間は、初期調整用区間であり、カウンタ23のQ<sub>4</sub>出力により区間設定が行なわれる。従って、カウンタ23のカウント用クロックパルスφ<sub>c2</sub>は、この実施例ではクロックパルスφ<sub>c1</sub>の4倍の周波数に設定しているが、ラッチパルスφ<sub>2</sub>が発生するタイミングでは出力が禁止される。しかし、映像処理回路から送られてくるデジタルデータD<sub>1</sub>～D<sub>4</sub>は、まず、初段の駆動回路20<sub>1</sub>に入力され、サンプリングクロックφ<sub>s</sub>に同期してレジスタ11に読み込まれる。このレジスタ11に読み込まれたデータD<sub>1</sub>～D<sub>4</sub>は、その後、サンプリングクロックφ<sub>s</sub>に同期して駆動回路20<sub>2</sub>～20<sub>M</sub>のレジスタ11に順次シフトされる。そして、上記データD<sub>1</sub>～D<sub>4</sub>が駆動回路20<sub>M</sub>のレジスタ11までシフトされると、その後、ラッチパルスφ<sub>2</sub>が

与えられる。このラッチパルス $\phi_2$ は、サンプリングクロック $\phi_6$ が印出力される毎に1印出力され、各駆動回路20<sub>1</sub>～20<sub>3</sub>においてレジスタ11に保持されているデータがラッチ回路12にラッチされる。また、同時に上記ラッチパルス $\phi_2$ によりカウンタ23がリセットされる。このカウンタ23がリセットされるとそのQ<sub>4</sub>出力が“0”、インバータ25の出力が“1”となってカウンタ15がリセットされる。これ以後カウンタ23の内容が「8」にカウントアップされるまで、カウンタ15はリセット状態に保持される。しかし、上記カウンタ23は、クロックパルス $\phi_{12}$ によりカウントアップ動作を開始し、そのカウント出力Q<sub>1</sub>～Q<sub>3</sub>をオア回路26a～26cへ出力する。また、このオア回路26a～26cには、初期設定データA<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>がインバータ27a～27cにより反転されて入力されている。従って、上記カウンタ23がリセット後、クロックパルス $\phi_{12}$ によりカウントアップし、そのカウント値が初期設定データA<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>に等しくなると、オア回路26a～26cの

出力がオール“1”となり、アンド回路28より“1”信号が出力されフリップフロップ22がセットされる。この結果、フリップフロップ22からは、初期設定データA<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>の内容「000」～「111」に応じて第2図(e)～(g)に示すような出力信号波形が得られる。今、初期設定データA<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>を「101」に設定したものとすれば、その設定データはインバータ27a～27cにより「010」のデータに反転され、オア回路26a～26cを介してアンド回路28に入力される。従って、上記カウンタ24が、リセット後クロックパルス $\phi_{12}$ をカウントし、「5」までカウントアップすると、その出力Q<sub>1</sub>～Q<sub>3</sub>が「101」となり、初期設定データA<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>とのオア出力、つまり、オア回路26a～26cの出力がオール“1”となる。このためアンド回路28の出力が“1”となり、フリップフロップ22をセットする。このためフリップフロップ22の出力が“1”となってフリップフロップ17をセットし、その出力がマルチプレクサ18へ送られる。これに

よりマルチプレクサ18から階調信号Y<sub>1</sub>が出力されて表示パネルの信号電極が表示駆動される。そして、その後、カウンタ23が8までカウントアップすると、出力信号Q<sub>4</sub>が“1”になり、フリップフロップ22をリセットする。上記のようにカウンタ23がラッチパルス $\phi_2$ によりリセットされからQ<sub>4</sub>出力信号が出力されるまでの間が初期調整用区間であり、この初期調整用区間に於いてフリップフロップ22がリセットされてからセッタれるまでの期間t<sub>1</sub>及びその後フリップフロップ22がカウンタ23のQ<sub>4</sub>出力によりリセットされるまでの期間t<sub>2</sub>が初期設定データA<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>により設定される。しかし、上記したようにカウンタ23からQ<sub>4</sub>信号が出力されると、インバータ25の出力が“0”となり、カウンタ15のリセット状態が解除される。このためカウンタ15は、その後、クロックパルス $\phi_{12}$ によりカウント動作を開始する。上記クロックパルス $\phi_{12}$ は、第2図に示すようにリセット解除後、次の各ラッチパルス $\phi_2$ が印出力されるまでに15印発生する。そし

て、上記カウンタ15のカウント出力Q<sub>1</sub>～Q<sub>4</sub>は、ラッチ回路12よりインバータ13<sub>1</sub>～13<sub>4</sub>を介して出力される信号と共に、オア回路14<sub>1</sub>～14<sub>4</sub>へ入力され、その出力がアンド回路16へ入力される。従って、カウンタ15のカウント動作に伴ってオア回路14<sub>1</sub>～14<sub>4</sub>の出力がオール“1”となった時にアンド回路16の出力が“1”となり、フリップフロップ17がリセットされる。上記オア回路14<sub>1</sub>～14<sub>4</sub>の出力がオール“1”となるカウンタ15のカウント値は、ラッチ回路12のラッチデータによって決定されるもので、それによりフリップフロップ17がセットされてからリセットされるまでの時間が制御される。例えばラッチ回路12に「8」のデータがラッチされた場合は、第2図に示すようにカウンタ15がクロックパルス $\phi_{12}$ を8個カウントした時にアンド回路16の出力が“1”となり、フリップフロップ17がリセットされる。このフリップフロップ17がリセットされることによりマルチプレクサ18の出力が基準レベルに戻る。このようにしてフリップフロップ17は、ラッチ回路12の

保持データに応じてセットされている期間  $t_P$  及びリセットされている期間  $t_R$  が決定される。第2図(h)、(i)、(j)、(k)は、フリップフロップ17の出力を示したもので、初期設定データA1、A2、A3が「101」に設定されている場合において、入力データD1～D4として「0001」、「0001」、「1111」、「1000」が与えられた場合である。また、第2図(l)～(n)は、表示駆動信号の波形例を示したもので、(l)は走査電極駆動回路から出力される走査電極駆動信号X1、(m)は信号電極駆動回路20のマルチプレクサ18から出力される階調信号Y1、(n)は上記走査電極駆動信号X1と階調信号Y1の合成波形である。

上記のように初期設定データA1、A2、A3により階調信号Y1を各階調において複数段階例えは上記実施例では8段階に調整することができる、フィルタ膜厚が設計値と異なった場合でも初期設定データA1、A2、A3を調整することによって色相を正しく設定することができる。

なお、上記実施例では調整用区間を階調波形の前段に設けたが、階調波形の後段に設けてよい。

#### [発明の効果]

以上詳記したように本発明によれば、カラー液晶パネルの駆動回路において、各色の駆動回路から出力される階調波形に対して調整用区間を設け、この調整用区間における時間幅の調整により液晶表示パネルに印加される実行電圧を任意に調整できるようにしたので、カラー液晶パネルにおけるR、G、Bフィルタの膜厚が設定値と異なって形成された場合でも、所望の色を正しく表示でき、表示品質を良好に保持し得る階調信号発生回路を提供することができる。

#### 4. 図面の簡単な説明

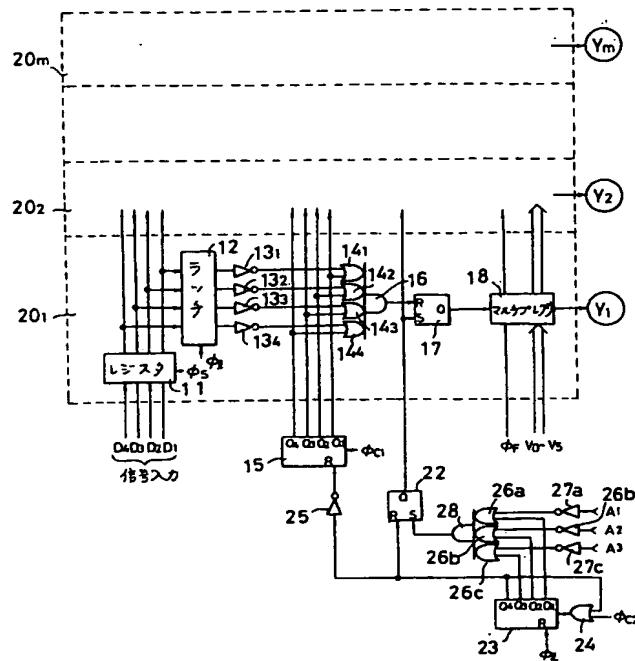
第1図及び第2図は本発明の一実施例を示すもので、第1図は回路構成図、第2図は動作を説明するためのタイミングチャート、第3図は従来の液晶表示装置の構成を示すブロック図、第4図は第3図における信号電極駆動回路の構成を示す図、第5図は第4図における信号電極駆動回路の動作

を説明するためのタイミングチャート、第6図は従来における表示駆動信号の波形図である。

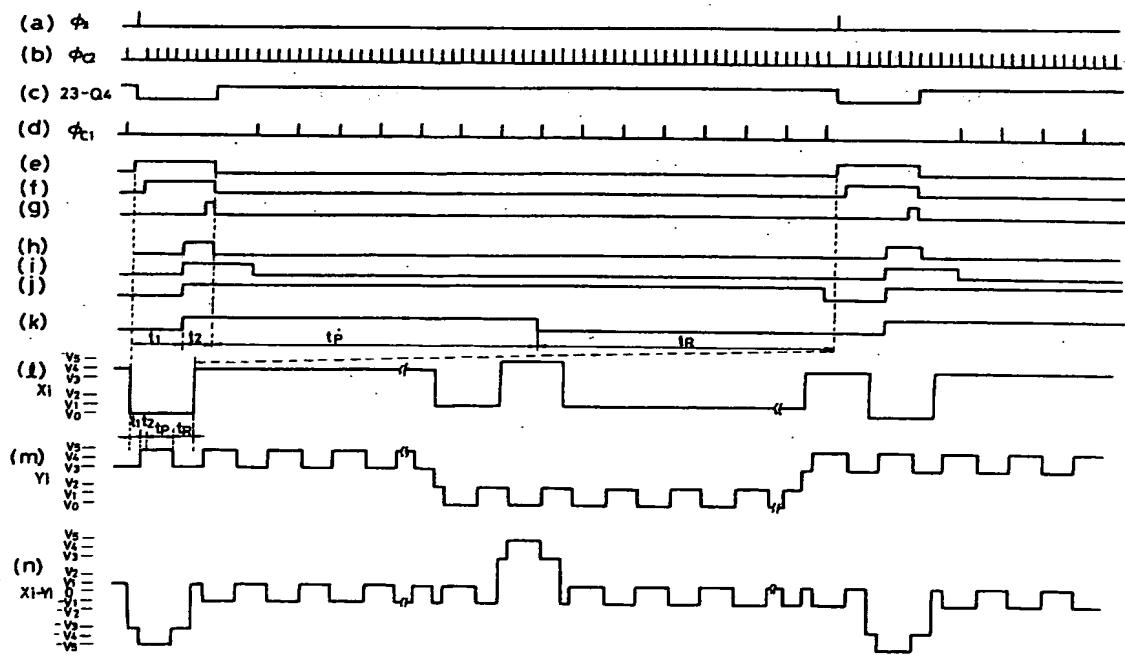
11…レジスタ、12…ラッチ回路、15…カウンタ、  
17…フリップフロップ、18…マルチプレクサ、20  
…信号電極駆動回路、24…カウンタ。

出願人代理人 井理士 鈴江武彦

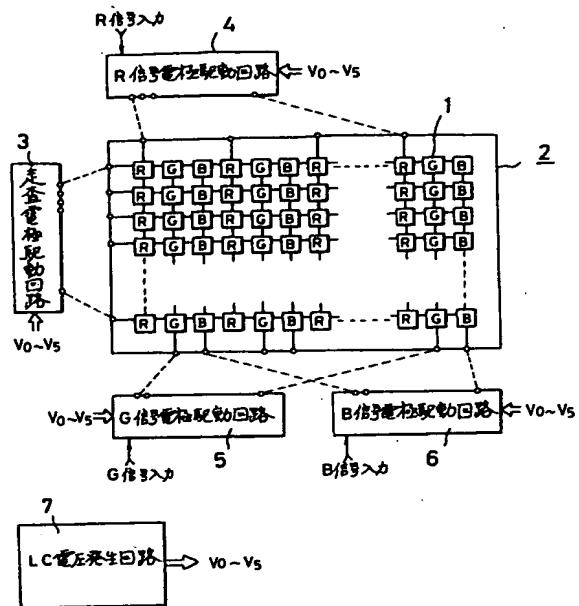
第 1 頁



第 2 四



### 第3図



#### 第4圖

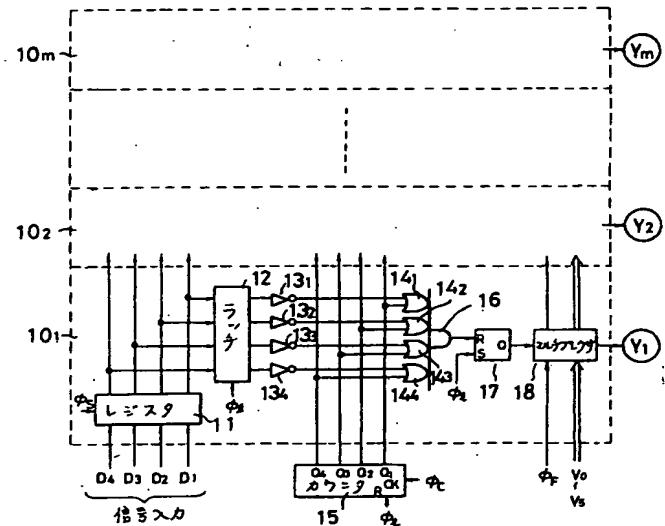
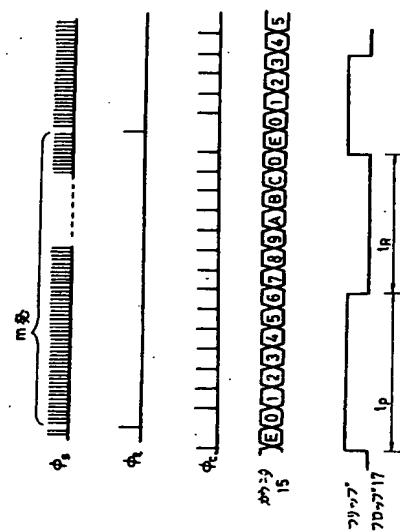


圖 5



第6図

